

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168093

(P2001-168093A)

(43) 公開日 平成13年6月22日(2001.6.22)

(51) Int. Cl.<sup>7</sup>

識別記号

F I

デバイス(参考)

H 0 1 L 21/3205

H 0 1 L 21/88

S 5 F 0 3 3

審査請求 未請求 請求項の数7 OL (全6頁)

(21) 出願番号 特願平11-350284

(22) 出願日 平成11年12月9日(1999.12.9)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 ▲萩▼原 秀敏

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100065248

弁理士 野河 信太郎

Fターム(参考) 5F033 HH09 HH23 HH33 JJ01 JJ09

JJ23 JJ33 KK09 KK23 KK33

MM08 NN33 QQ09 QQ37 RR04

RR06 RR09 RR14 RR15 SS11

SS13 SS15 SS21 TT02 VV01

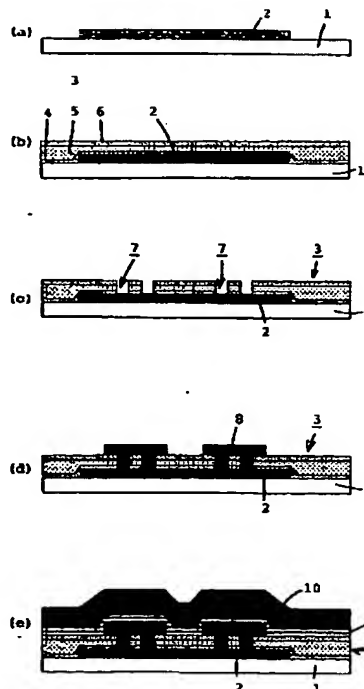
XX17

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】層間絶縁膜の密着性を向上し、配線間の層間絶縁膜の剥がれを防止することができ、層間絶縁膜内におけるクラックの伝播の阻止を図ることによって信頼性の高い半導体装置を提供することを目的とする。

【解決手段】半導体チップ上に第1ダミー配線、層間絶縁膜及び第2ダミー配線がこの順に積層され、前記第1ダミー配線と第2ダミー配線との間の層間絶縁膜に複数のダミービアホールが形成されてなる半導体装置において、1つの第1ダミー配線又は第2ダミー配線が複数のダミービアホールと接続されてなる半導体装置。



## 【特許請求の範囲】

【請求項1】 半導体チップ上に第1ダミー配線、層間絶縁膜及び第2ダミー配線がこの順に積層され、前記第1ダミー配線と第2ダミー配線との間の層間絶縁膜に複数のダミービアホールが形成されてなる半導体装置において、

1つの第1ダミー配線又は第2ダミー配線が複数のダミービアホールと接続されてなる半導体装置。

【請求項2】 層間絶縁膜が、SOG膜の単層膜又はSOG膜を含む積層膜によって形成されてなる請求項1に記載の半導体装置。

【請求項3】 ダミービアホールが、導電膜で埋設されてなる請求項1又は2に記載の半導体装置。

【請求項4】 第1及び第2ダミー配線とダミービアホールとが、半導体チップにおいて機能素子が形成された素子形成領域の外周領域に配置されてなる請求項1～3のいずれか1つに記載の半導体装置。

【請求項5】 外周領域が、コーナー領域を除く半導体チップにおける素子形成領域の外周領域である請求項4に記載の半導体装置。

【請求項6】 コーナー領域が、半導体チップの隣り合う2辺を2辺とする略直角二等辺三角形である請求項5に記載の半導体装置。

【請求項7】 第1及び第2ダミー配線が、素子形成領域における配線と同一工程により同一材料により形成され、かつダミービアホールが、素子形成領域におけるビアホールと同一工程により形成されてなる請求項4～6のいずれか1つに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、より詳細には半導体チップの外周領域における熱ストレスによるクラックの発生が緩和された半導体装置に関する。

## 【0002】

【従来の技術】従来から、その表面がパッシベーション膜で被覆された半導体チップを樹脂で封止する樹脂封止型半導体装置が使用されているが、この種の半導体装置においては、半導体チップと封止樹脂との熱膨張係数の違いから、熱ストレスによりパッシベーション膜に発生するクラックの影響が問題となっている。そこで、熱ストレスによるパッシベーション膜へのクラックの発生を緩和するために、半導体チップの内部パターン領域に、ダミー配線を形成する方法が提案されている。

【0003】一般に、半導体チップの表面は、図3に示したように、トランジスタ等の機能素子や配線等を有する内部パターン領域20、内部パターン領域20を取り囲む領域であり、複数のボンディングパッド21が配置される領域22、ボンディングパッド21が配置される領域22端からチップ端にいたる予備領域23に分ける

ことができる。ボンディングパッド21は、例えば、一辺が約100 $\mu$ m程度の矩形形状で形成される。また、予備領域23は、半導体ウェハをチップごとダイシングする際、スクライプ面から入り込むクラックが、機能素子を含む内部パターン領域20にとどかないよう配慮して設けられた領域であり、予備領域23には、通常、半導体装置において機能するためのパターンは何も形成されていない。つまり、図4に示したように、半導体チップ端附近に配置される予備領域においては、第1層間絶縁膜24、プラズマCVD法によって形成されるSiN膜25、SOG（スピンオンガラス）膜26、プラズマCVD法によって形成されるSiO<sub>2</sub>膜27、28、パッシベーション膜29が順次積層され、これらの上に、封止用の樹脂30が被覆されている。

【0004】通常、半導体装置は、複数の配線層と層間絶縁膜とが多層配線構造として積層されて構成されるため、ウェハ表面の凹凸による上層配線の断線等の発生を防止するため、層間絶縁膜として平坦化効果のあるSOG膜がCVD法によって形成される絶縁膜と組み合わせられて用いられる。SOG膜は、有機シラン系の原料を溶剤に溶解した溶液を、ウェハ表面にスピン塗布し、加熱することにより形成される。

【0005】しかし、このような半導体装置を、例えば、150～65℃の温度範囲で、500～1000回程度の温度サイクル試験に付すと、図5に示したように、SOG膜26とその上下に形成されたCVD法によるSiN膜25及びSiO<sub>2</sub>膜27膜との界面で剥離が生じ、その結果、SOG膜26にクラックが生じることがある。

【0006】これに対して、例えば、特開平8-306771号公報において、半導体チップの予備領域上に、図6に示したように、層間絶縁膜31上に、複数の第1ダミー配線32と、SiN膜33とSOG膜34とSiO<sub>2</sub>膜35とからなる層間絶縁膜と、層間絶縁膜に形成されたダミービアホールと、ダミービアホール内に埋設されるとともにダミービアホール上に配置する第2ダミー配線36とが形成され、さらにその上にSiO<sub>2</sub>膜37とパッシベーション膜38とが形成されてなる半導体装置が提案されている。このような構成により、SOG膜34の残留面積を実質的に減らし、SOG膜34とSiN膜33及びSiO<sub>2</sub>膜35との剥離、剥離によるSOG膜34のクラックを防止している。

【0007】しかし、上記構成の半導体装置においては、第1及び第2ダミー配線32、36を細い又は小さい形状でパターンニングすると、層間絶縁膜の剥離やクラックの発生を防止するのが困難となるという問題が生じる。また、第1及び第2ダミー配線32、36を形成することにより、パッシベーション膜38表面での段差が大きくなり、封止用の樹脂中に含まれるフィラーが配線間のくぼみに入り込みやすくなり、パッシベーション

膜、さらには配線自体にクラックの発生を招くという問題もある。さらに、第1及び第2ダミー配線32、36のバナーニングの方法によっては、半導体チップのコーナー領域で、応力の集中が生じ、半導体チップのコーナー領域でのクラック発生の原因となるという問題もある。

#### 【0008】

【課題を解決するための手段】本発明によれば、半導体チップ上に第1ダミー配線、層間絶縁膜及び第2ダミー配線がこの順に積層され、前記第1ダミー配線と第2ダミー配線との間の層間絶縁膜に複数のダミービアホールが形成されてなる半導体装置において、1つの第1ダミー配線又は第2ダミー配線が複数のダミービアホールと接続されてなる半導体装置が提供される。

#### 【0009】

【発明の実施の形態】本発明の半導体装置は、少なくとも、半導体チップ上に、第1ダミー配線、層間絶縁膜及び第2ダミー配線がこの順に積層されて構成される。本発明において使用される半導体チップとは、半導体装置として機能させるために一連の製造プロセスを経た半導体基板（半導体ウェハ）から、1つの樹脂封止型半導体装置を構成する1単位の集積回路を有する片に分割されたものを意味する。なお、半導体基板の材料は、特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、ZnSe等の化合物半導体等が挙げられる。なかでも、シリコンからなるものが好ましい。

【0010】半導体チップには、半導体装置として機能する、例えば、トランジスタ、キャパシタ、抵抗等の機能素子、絶縁膜、配線層等が組み合わされた集積回路が形成される素子形成領域と、その外周に配置し、半導体装置の機能には関与しない絶縁膜や配線層等が形成されるか、何ら形成されないチップ外周領域とが配置していることが好ましい。また、半導体チップは、上記集積回路、絶縁膜及び配線層等が積層された多層構造を有するものであってもよいし、本発明の第1及び第2ダミー配線、層間絶縁膜等の上にさらに上記集積回路、絶縁膜及び配線層等が積層されていてもよいし、第1及び第2ダミー配線と層間絶縁膜との積層構造が繰り返して積層されたものであってもよい。

【0011】半導体チップの形状は、特に限定されるものではなく、円；楕円；三角形、正方形、長方形、平行四辺形、台形、ひし形、六角形、八角形等の多角形；これらの角が欠けた又は丸まった略多角形等の形状が挙げられる。なかでも、正方形、長方形、ひし形等の四角形又は略四角形が適当である。

【0012】第1ダミー配線及び第2ダミー配線は、配線層としては何ら機能しない配線を意味し、例えば、アルミニウム、銅、金、白金、銀等の金属；チタン、タンタル、タングステン等の高融点金属；ポリシリコン等の

単層膜又は2層以上の積層膜；これら高融点金属等のシリサイド、ポリサイド等の導電膜により形成することができる。第1及び第2ダミー配線は、半導体チップに形成される機能素子の電極（例えばゲート電極、キャパシタ上下電極等）、配線等と同一の工程によって、同一の材料を用いて形成することが好ましい。

【0013】第1ダミー配線及び第2ダミー配線は、半導体チップ上のいずれの領域に形成されていてもよいが、上記したようなチップ外周領域に配置していることが好ましく、なかでも、コーナー領域を除く半導体チップにおける外周領域（図2参照）に配置されていることが好ましい。ここで、コーナー領域とは、通常、一連の半導体プロセスを経て半導体チップに分割された場合に、応力の集中が顕著な領域を意味し、具体的には、半導体ウェハにおける2本のスクライブライン（半導体チップの2つの辺）を2辺とする三角形を構成する領域、特に略鈍角三角形を構成する領域、好ましくは略鈍角二等辺三角形、より好ましくは直角二等辺三角形を構成する領域が挙げられる。例えば、半導体チップが正方形又は長方形によって形成される場合には、2本のスクライブラインとこれら2本のスクライブラインに対して略45°で交わる線とにより囲まれる略直角二等辺三角形を構成する領域であることが好ましい。

【0014】第1ダミー配線及び第2ダミー配線は、その大きさは特に限定されないが、可能である限り、半導体チップにおいて大きな占有面積を占めることが好ましい。なお、第1及び第2ダミー配線は、同じ大きさでもよいし、第1ダミー配線が第2ダミー配線よりも大きくても、小さくてもよい。

【0015】これらの形状は、特に限定されるものではなく、例えば、半導体チップの形状として例示した形状等が挙げられる。なお、第1ダミー配線と第2ダミー配線との形状は、同じであってもよいし、異なってもよいが、後述するように、層間絶縁膜を介してオーバーラップしていることが必要である。オーバーラップの程度は、多いほど好ましい。

【0016】層間絶縁膜は、第1及び第2ダミー配線の間において、両配線を絶縁するためのものであり、例えば、プラズマCVD法、CVD法、減圧CVD法、スピノングラス法等によって形成されるSiO<sub>2</sub>膜、SiN膜、PSG膜、BPSG膜、SOG膜等の単層膜又は2層以上の積層膜が挙げられる。なかでも、SOG膜からなるか、SOG膜を挟持する3層以上の積層膜であることが好ましい。具体的には、P-CVD-SiO<sub>2</sub>膜/SOG膜/P-CVD-SiN膜が挙げられる。層間絶縁膜の膜厚は特に限定されるものではなく、例えば、500～2000nm程度が挙げられる。

【0017】本発明においては、複数のダミービアホールが層間絶縁膜に形成されている。ここでダミービアホールとは、配線層としては機能する配線同士を接続する

10

20

30

40

50

ためのビアホールとしても役割を果たさないホールを意味する。つまり、第1及び第2ダミー配線のような配線として機能しない配線と接続するホールを意味するが、配線に接続しないホール、下方又は上方のみ配線と接続するホール、上下において配線と接続するホールのいずれをも含む。なお、ここでダミービアホールが配線と接続するとは、ホールの底部又は上部が配線によって塞がれる、つまり、ホール自体が配線に接触するように形成されることを意味する。

【0018】ダミービアホールは、第1及び第2ダミー配線の少なくともいずれかのダミー配線であって、1つのダミー配線に、複数のダミービアホールが接続されるように形成されている。具体的には、第1ダミー配線に2以上のダミービアホールが形成され、各ダミービアホールに1つずつ第2ダミー配線が接続されていてもよいし、第1ダミー配線に2以上のダミービアホールが形成され、2つ、3つ又はそれ以上のダミービアホールに対して1つの第2ダミー配線が接続されていてもよいし、第1ダミー配線に2以上のダミービアホールが形成され、全ダミービアホールに1つの第2ダミー配線が接続されていてもよいし、第2ダミー配線に2以上のダミービアホールが形成され、各ダミービアホールに1つずつ第1ダミー配線が接続されていてもよいし、第2ダミー配線に2以上のダミービアホールが形成され、2つ、3つ又はそれ以上のダミービアホールに対して1つの第1ダミー配線が接続されていてもよい。

【0019】ダミービアホールの大きさ、形状等は特に限定されるものではなく、例えば、 $0.1 \sim 10 \mu\text{m}^2$ 程度の断面積、三角形、四辺形、円形、星型等の形状が挙げられる。また、ダミービアホールは、可能な限り第1及び第2ダミー配線の大面積と接続されることが好ましい。

【0020】ダミービアホールは中空であってもよいが、ダミービアホール中に絶縁材料又は導電材料が、なかでも導電材料が埋設されていることが好ましい。導電材料としては、特に限定されるものではなく、第1及び第2ダミー配線で例示された材料等が挙げられる。なお、導電材料は、第1又は第2ダミー配線を形成する材料と必ずしも同一の材料であることは必要とせず、異なる材料やさらにバリアメタル等の導電材料が埋設されていてもよい。なかでも、第2ダミー配線を形成する材料をそのままダミービアホールに埋設して用いることが適当である。以下に、本発明の半導体装置の実施例を図面に基いて説明する。

【0021】この半導体装置は、図1(e)及び図2に示したように、シリコンウェハにおいてスクライブライン11によって分離される各半導体チップ内に、機能素子等が形成された内部パターン領域(図示せず)と、内部パターン領域の外周に位置するチップ外周領域12とを有する。チップ外周領域12には、第1ダミー配線

2、層間絶縁膜3及び第2ダミー配線8がこの順に積層されており、第1ダミー配線2と第2ダミー配線8とがオーバーラップする領域に存在する層間絶縁膜3にダミービアホール7が形成されている。1つの第1ダミー配線2は、複数のダミービアホール7と接続されており、さらに、複数のダミービアホール7を介して複数の第2ダミー配線8と接続されている。

【0022】また、チップ外周領域12の半導体チップの角の部分においては、 $45^\circ$ の角度を有する略直角二等辺三角形のコーナー領域13を残すように、第1及び第2ダミー配線2、8及びダミービアホール7が形成されている。なお、この領域13上には、層間絶縁膜3は存在しておらず、後述するパッシベーション膜のみが存在している。なお、図2においては、半導体チップは $10 \times 10 \text{mm}$ 程度の大きさの略四角形とし、ダミービアホール7の一辺は $1.0 \mu\text{m}$ 程度、第2ダミー配線8の線幅は $5.0 \mu\text{m}$ 程度、第1ダミー配線2の面積は $10000 \mu\text{m}^2$ 程度、コーナー領域13の面積を $1500 \mu\text{m}^2$ 程度とした。このような半導体装置は、以下の製造方法により形成することができる。

【0023】まず、内部パターン領域に公知の方法により所望の機能素子や配線層が形成されたシリコンウェハ(図示せず)上全面に、図1(a)に示したように、第1層間絶縁膜1を形成する。この層間絶縁膜1は、例えば、減圧CVD法により膜厚 $100 \text{nm}$ 程度のPSG(フォスフォシリケートガラス)膜及び膜厚 $750 \text{nm}$ 程度のBPSG膜との積層構造とし、約 $1000^\circ\text{C}$ でBPSG膜をリフローすることにより形成する。

【0024】次いで、内部パターン領域において、機能素子からの引き出し線を確保するために第1層間絶縁膜1にコンタクトホール(図示せず)を形成し、このコンタクトホール内に導電膜を埋設するとともに、シリコンウェハ上全面に導電膜を形成する。この導電膜は、例えば、スパッタリング法により、膜厚 $150 \text{nm}$ 程度のTiW膜、膜厚 $500 \text{nm}$ 程度のAlSi膜及び膜厚 $150 \text{nm}$ 程度のTiN膜の3層構造とする。この導電膜上全面に、レジスト膜(図示せず)をスピン塗布し、露光、現像工程を経てレジストパターン(図示せず)を形成する。このレジストパターンをエッチングマスクとして用いて、導電膜のパターニングを行い、内部パターン領域においては第1配線層(図示せず)を、チップ外周領域にはボンディングパッド(図示せず)、メタルシーリング用の配線パターン(図示せず)、第1ダミー配線パターン2をそれぞれ形成する。

【0025】続いて、シリコンウェハ上全面に、図1(b)に示したように、第2層間絶縁膜3を形成する。第2層間絶縁膜3は、 $250 \text{nm}$ 程度のSiN膜4と、膜厚 $500 \text{nm}$ 程度のSOG膜5と、膜厚 $500 \text{nm}$ 程度のSiO<sub>2</sub>膜6との積層膜によって形成される。なお、SiN膜4及びSiO<sub>2</sub>膜6はプラズマCVD法に

より形成し、SOG膜5は有機シラン系の原料を溶剤に溶解した溶液をスピン塗布し、400℃程度の温度でキュアして形成する。

【0026】次に、シリコンウェハ上全面に、上記と同様にレジストパターン（図示せず）を形成する。このレジストパターンをエッチングマスクとして用いて、第2層間絶縁膜3をエッチングし、内部パターン領域においては、第1配線層の引き出しのためビアホール（図示せず）を、チップ外周領域においては、図1（c）に示したように、ダミー配線パターン2上にダミービアホール7を形成する。なお、ダミービアホール7は、同一の第1ダミー配線パターン2上に複数個位置するように形成する。

【0027】次いで、シリコンウェハ上全面に、例えば、スパッタリング法により、膜厚30nm程度のTiN膜、膜厚約100nm程度のAlSi膜、膜厚約150nm程度のTiW膜の3層構造の導電膜を形成する。この導電膜上全面にレジスト膜（図示せず）をスピン塗布し、露光、現像工程を経て、レジストパターン（図示せず）を形成する。このレジストパターンをエッチングマスクとして用いて、導電膜をパターンニングし、内部パターン領域においては、第2配線層を、チップ外周領域においては、図1（d）に示したように、ダミービアホール7を埋設するとともに、ダミービアホール7上に第2ダミー配線8のパターンを形成する。このように、第2ダミー配線8のパターンを複数のダミービアホール7と接続されると、第2層間絶縁膜3における剥がれ防止の効果が大きくなる。

【0028】さらに、図1（e）に示したように、シリコンウェハ上全面に、プラズマCVD法により、膜厚400nm程度のSiO<sub>2</sub>膜9及び膜厚600nm程度のSiN膜10を順次形成する。なお、SiN膜10は、バッシベーション膜の役割を果たす。

【0029】次いで、シリコンウェハ上全面に、上記と同様にレジストパターン（図示せず）を形成する。このレジストパターンをマスクとして用いて、SiN膜10をエッチングし、ボンディングパッド（図示せず）及びスクライプ領域（図示せず）を露出させ、ダイシングソーを用いて、チップごとにスクライプする。その後、各半導体チップをリードフレームにダイボンディングし、ボンディングパッドとリードフレームのリード端子とを接続するワイヤボンディングを行い、樹脂封止、成形、捺印等の工程を経て、樹脂封止型半導体装置として完成される。このような一連工程を経て完成された半導体装置は、従来の半導体装置に比較して、熱サイクル試験によるSOG膜での剥がれやクラックの発生が抑制された。

【0030】

【発明の効果】本発明によれば、1つの第1ダミー配線又は第2ダミー配線が複数のダミービアホールと接続さ

れるため、比較的線幅が太い又は大きな第1及び第2ダミー配線によって、層間絶縁膜の密着性を向上させることができ、配線間の層間絶縁膜の剥がれを防止することができるとともに、層間絶縁膜内におけるクラックの伝播の阻止を図ることができ、信頼性の高い半導体装置を得ることができる。また、ダミービアホールが導電膜で埋設されてなる場合には、第1及び第2ダミー配線とともに導電膜が層間絶縁膜に対して鋸の役割を果たし、より層間絶縁膜の密着性を向上させることができる。さらに、第1及び第2ダミー配線とダミービアホールとが外周領域に配置される場合には、半導体チップの設計等の制約を生じさせることなく、高信頼性の半導体装置を提供することが可能となる。

【0031】また、外周領域が、コーナー領域を除く、特に半導体チップの隣り合う2辺を2辺とする略直角二等辺三角形の領域を除く外周領域である場合には、第1及び第2ダミー配線が、応力の影響を避けることができ、層間絶縁膜の密着性をさらに向上させることができる。しかも、第1及び第2ダミー配線が、素子形成領域における配線と同一工程により同一材料により形成され、かつダミービアホールが、素子形成領域におけるビアホールと同一工程により形成されてなる場合には、通常の半導体プロセスを増大させることなく、層間絶縁膜の密着性を向上させることができるため、歩留まりの向上、ひいては製造コストの低減を図ることができ、より安価で信頼性の高い半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を説明するための要部の概略断面工程図である。

【図2】本発明の半導体装置におけるチップ外周領域を示す要部の概略平面図である。

【図3】従来の半導体装置が形成された半導体チップの要部の概略平面図である。

【図4】従来の半導体装置における予備領域の概略断面図である。

【図5】従来の半導体装置におけるSiN膜、SOG膜及びSiO<sub>2</sub>膜の界面におけるSOG膜の剥がれやクラックの発生を説明するための概略断面模式図である。

【図6】従来の半導体装置の要部の概略断面図である。

【符号の説明】

- 1 第1層間絶縁膜
- 2 第1ダミー配線
- 3 第2層間絶縁膜（層間絶縁膜）
- 4 SiN膜
- 5 SOG膜
- 6 SiO<sub>2</sub>膜
- 7 ダミービアホール
- 8 第2ダミー配線
- 9 SiO<sub>2</sub>膜

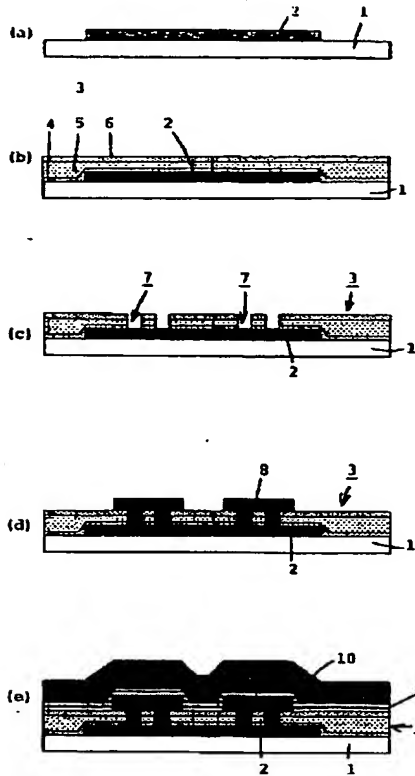
10 SiN膜

11 スクライブライン

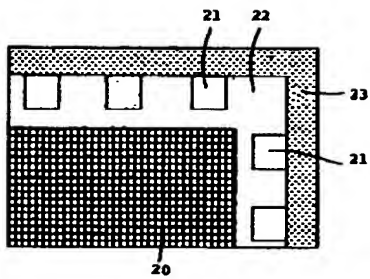
12 チップ外周領域

13 45°の角度を有するコーナー領域

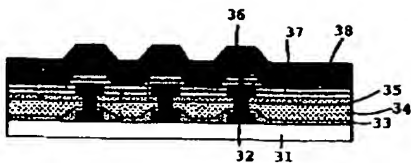
【図1】



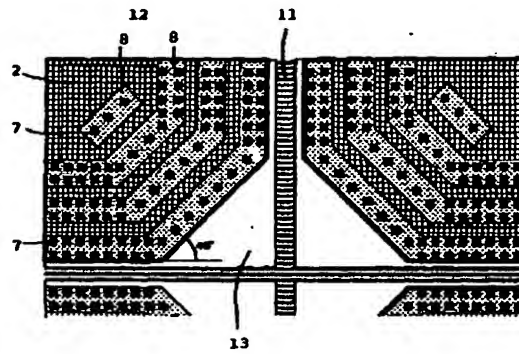
【図3】



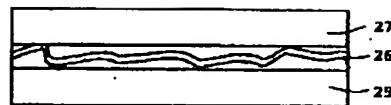
【図6】



【図2】



【図5】



【図4】

